



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030013893 A
 (43)Date of publication of application: 15.02.2003

(21)Application number: 1020010048144
 (22)Date of filing: 10.08.2001

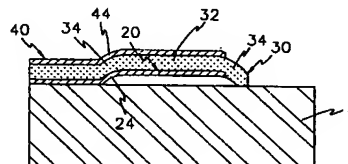
(71)Applicant: KIM, HYEONG JOON
 KOREA SANGSHIN
 ELECTRIC CO., LTD.
 LEE, JAE BIN
 (72)Inventor: KIM, HEUNG RAE
 KIM, HYEONG JOON
 LEE, JAE BIN
 LEE, YEONG SU
 YEO, GI BONG

(51)Int. Cl H03H 9/15

(54) PIEZOELECTRIC THIN FILM RESONATOR AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A piezoelectric thin film resonator and a method for manufacturing the same are provided to have a good resonant feature and prevent short circuit between a lower electrode and an upper electrode by forming a piezoelectric thin film, the lower electrode, and the upper electrode and forming a resonant groove at lower portions of the lower electrode and the piezoelectric thin film.



CONSTITUTION: A piezoelectric thin film(30) includes a straight portion(32) and a slope portion (34). The piezoelectric thin film(30) has an arch shape. The straight portion(32) is formed on a substrate (2). The slope portion(34) is extended from the straight portion(32) to the substrate(2). A lower electrode (20) is formed between the piezoelectric thin film(30) and the substrate(2). The lower electrode(20) has an arch shape corresponding to a shape of the piezoelectric thin film(30). An upper electrode(40) is formed on the piezoelectric thin film(30) and has an arch shape corresponding to a shape of the piezoelectric thin film(30).

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2003101004230)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H03H 9/15(11) 공개번호 특2003-0013893
(43) 공개일자 2003년02월15일

(21) 출원번호	10-2001-0048144
(22) 출원일자	2001년08월10일
(71) 출원인	한국쌍선전기주식회사 충남 연기군 서면 월하리 614-1김형준 경기도 성남시 분당구 수내동 51-1 파크타운 107-1303 이재빈 서울특별시 송파구 잠실3동 35번지 잠실주공아파트 334-406호 김형준 경기도 성남시 분당구 수내동 51-1 파크타운 107-1303 이재빈 서울특별시 송파구 잠실3동 35번지 잠실주공아파트 334-406호 김홍래 충청북도청주시흥덕구봉명2동239-19쌍선사원@201호 여기봉 충청북도청주시상당구탑동142-41 미영수 충청남도공주시정안면화봉2리402
(72) 발명자	유미특허법인
(74) 대리인	

심사청구 : 있음(54) 압전박막 공진기 및 그 제조방법요약

공진특성을 향상시키고, 하부전극의 단락을 방지하여, 생산수율이 높으며, 공진특성을 향상시키도록, 기관 위에 형성되고, 기관과 소정의 간격을 두고 형성되는 직선부를 갖는 아치형상으로 이루어지며 아치형상의 직선부로부터 기관쪽으로 연장되는 부분은, 경사면으로 형성되는 압전박막과, 압전박막과 기관 사이에 형성되고 압전박막의 형상에 대응하는 아치형상으로 이루어지는 하부전극과, 압전박막 위에 형성되고 압전박막의 형상에 대응하는 아치형상으로 이루어지는 상부전극을 포함하는 압전박막 공진기를 제공한다.

압전박막과 하부전극 및 상부전극의 아치형상은 기관에 공진홀을 형성하고, 공진홀을 포토레지스트로 채운 상태에서, 차례로 하부전극과 압전박막 및 상부전극을 형성한 다음, 공진홀에 채워진 포토레지스트를 제거하여 형성된다.

도표도 1제1면

압전박막, 기관, 포토레지스트, 공진홀, 희생층, 하부전극, 상부전극

명세서도면의 간단한 설명

도 1은 본 발명에 따른 압전박막 공진기의 제1실시예를 나타내는 측면단면도.

도 2는 본 발명에 따른 압전박막 공진기의 제1실시예를 나타내는 제조방법의 일실시예를 개략적으로 나타내는 블록도.

도 3은 본 발명에 따른 압전박막 공진기의 제1실시예를 제조하는 제조방법의 일실시예에 있어서 희생층형성공정을 세부적으로 나타내는 블록도.

- 도 4는 본 발명에 따른 압전박막 공진기의 제1실시예를 제조하는 제조방법의 일실시예를 개략적으로 나타내는 공정도.
- 도 5는 본 발명에 따른 압전박막 공진기의 제1실시예를 제조하는 제조방법의 일실시예에 있어서 하부전극 형성공정을 세부적으로 나타내는 공정도.
- 도 6은 본 발명에 따른 압전박막 공진기의 제2실시예를 나타내는 측면단면도.
- 도 7은 본 발명에 따른 압전박막 공진기의 제2실시예를 나타내는 평면도.
- 도 8은 본 발명에 따른 압전박막 공진기의 제3실시예를 나타내는 측면단면도.
- 도 9는 본 발명에 따른 압전박막 공진기의 제2실시예 및 제3실시예를 제조하는 제조방법의 일실시예를 개략적으로 나타내는 블록도.
- 도 10은 본 발명에 따른 압전박막 공진기의 제2실시예를 제조하는 제조방법에 있어서 홀형성공정을 세부적으로 나타내는 블록도.
- 도 11은 본 발명에 따른 압전박막 공진기의 제3실시예를 제조하는 제조방법에 있어서, 홀형성공정을 세부적으로 나타내는 블록도.
- 도 12는 본 발명에 따른 압전박막 공진기의 제2실시예를 제조하는 제조방법의 일실시예를 개략적으로 나타내는 공정도.
- 도 13은 본 발명에 따른 압전박막 공진기의 제2실시예를 제조하는 제조방법의 일실시예에 있어서 희생층 형성공정을 세부적으로 나타내는 공정도.
- 도 14는 본 발명에 따른 압전박막 공진기의 제3실시예를 제조하는 제조방법의 일실시예를 개략적으로 나타내는 공정도.
- 도 15는 종래 압전박막 공진기 제조방법의 일예를 나타내는 공정도.
- 도 16은 종래 압전박막 공진기의 다른 예를 나타내는 측면단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 압전박막 공진기 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 기판 위에 적층부와 경사부를 갖는 마치형상으로 압전박막 및 하부전극과 상부전극을 형성하고, 하부전극 및 압전박막 하부에는 공진홀을 형성하므로 공진특성이 우수하고 하부전극 및 상부전극의 단락이 발생하지 않는 압전박막 공진기 및 그 제조방법에 관한 것이다.

최근 통신산업의 발달로 인하여 무선통신용 소자는 점차 소형화되는 추세이며, 특히 공진기, 필터, 듀플렉스, 전압제어발진기와 같은 부품들이 소형화됨에 따라 무선통신 단말기를 소형화하는 데 큰 역할을 하고 있다.

상기에서 공진기, 필터, 듀플렉스, 전압제어발진기와 같은 부품들의 소형화를 위하여 주로 압전재료를 이용하는 압전박막 공진기가 사용되며, 압전박막 공진기는 압전재료로 이루어지는 압전박막과 상기한 압전박막의 상하에 형성되는 상부전극 및 하부전극으로 구성되고, 상기한 상부전극과 하부전극에 소정의 전원을 인가함에 따라 압전재료에 진동이 발생하거나 압전재료에 압력(진동)이 가해지면 상부전극과 하부전극으로 전류가 흐르는 특성을 이용하여 특정 주파수에 대한 공진기, 필터, 듀플렉스, 전압제어발진기로 사용한다.

상기와 같은 압전박막 공진기는 그 두께가 대략 수 μm 이므로, 기판에 직접 반도체 소자를 형성하여 집적회로(IC)를 형성하는 경우에도 사용이 가능하다.

최근에는 수많은 반도체 소자를 하나의 기판에 형성하여 회로를 구성하는 일체형 마이크로파 집적회로(MMIC)에 대한 연구와 개발이 많이 진행되고 있다.

이 경우에 별도 기판에 압전박막 공진기를 형성하고, 이를 일체형 마이크로파 집적회로 기판에 적용하는 것은 대체로 기판표면에서 형성되는 다른 반도체 능동소자와 비교하여 그 두께가 수백 μm 이상으로 적층 자체가 불가능하므로, 일체형 마이크로파 집적회로 기판에 다른 반도체 능동소자와 마찬가지로 수 μm 의 얇은 두께를 갖는 압전박막 공진기를 형성하는 기술이 다양하게 개발되고 있다.

그러나 압전박막 공진기를 직접 기판에 설치하거나 형성하는 경우에는 공진기와 기판 사이에 공간이 존재하지 않으면 우수한 공진특성이 주어지지 않으므로, 압전박막 공진기를 기판으로부터 소정의 간격(공진공간)을 두고 설치하는 기술이 매우 중요하다.

종래에는 공진공간을 형성하기 위하여 기판위에 차례로 하부전극과 압전박막 및 상부전극을 형성한 다음, 반대쪽에서 기판을 식각(etching)하여 하부전극의 밑면을 노출시키는 방법을 사용한다.

그러나 이 방법은 기판의 두께가 대략 450~550 μm 정도 되므로 식각에 장시간이 소요될 뿐만 아니라, 식각 과정에서 대략 수천 μm 의 두께로 형성되는 하부전극에 손상을 줄 우려가 많다.

이러한 문제점을 해결하기 위하여 도 15에 나타낸 바와 같이, 기판(2)에 사진식각(photo etching)방법을 사용하여 소정의 패턴으로 도전재료를 도포하여 하부전극(3)을 형성하고, 하부전극(3) 위에 마찬가지로

방법으로 소정의 패턴으로 압전재료를 도포하여 압전박막(4)을 형성하고, 압전박막(4) 위에 사진식각방법을 사용하여 소정의 패턴으로 도전재료를 도포하여 상부전극(5)을 형성한 다음, 공진공간(6)을 형성하기 위하여 기판(2)의 일부를 이방성 식각하여 제거하는 방법이 제안되었다.

그리고 상기와 같이 이방성 식각을 행한 경우에 있어서, 수층은 매우 얇은 압전박막 공진기가 공진공간(6)으로 처짐이 발생하여 기판에 닿으므로 공진특성이 저하되는 것을 방지하기 위하여 도 16에 나타낸 바와 같이 교각(7)을 설치하는 방법이 대한민국 공개특허공보 제1999-84246호에 본 출원인에 의해 제안되었다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같이 기판에 이방성 식각을 행하여 공진공간(6)을 형성하는 방법은 정확한 식각이 어려우며, 실리콘 기판은 식각과정에서 수층(A)으로 매우 얇게 형성되는 하부전극이 손상을 입을 우려가 높고, 공정시간이 길다.

또 유독한 에칭액을 사용함으로써 작업시 세심한 주의가 필요하며, 작업자의 건강과 환경보호에 문제가 있다.

상기한 종래의 방법에 있어서는 하부전극이 손상을 입어 단락현상이 많이 발생하므로 불량률이 높고, 하부전극 밑면에 식각과정에서 기판의 찌꺼기가 달라붙어 공진특성이 저하되는 경우가 있다.

본 발명의 목적은 상기와 같은 문제점을 해결하기 위한 것으로서, 기판에 공진홀을 형성하여 희생층을 채운 다음 마치형상으로 하부전극과 압전박막 및 상부전극을 형성하고 희생층을 제거하는 것에 의하여 공진공간을 형성할 때에 하부전극이 손상을 입거나 단락되는 것을 방지하고 공진특성이 우수한 압전박막 공진기 및 그 제조방법을 제공하기 위한 것이다.

발명의 구성 및 작용

본 발명이 제안하는 압전박막 공진기는 기판 위에 형성되고 기판과 소정의 간격으로 공진공간을 두고 형성되는 직선부와 상기한 직선부로부터 기판쪽으로 연장되는 경사부로 이루어지는 마치형상으로 형성되는 압전박막과, 상기한 압전박막과 기판 사이에 형성되고 상기한 압전박막의 형상에 대응하는 마치형상으로 이루어지고 기판과 공진공간을 사이에 두고 위치하는 하부전극과, 상기한 압전박막 위에 형성되고 상기한 압전박막의 형상에 대응하는 마치형상으로 이루어지는 상부전극을 포함한다.

상기한 압전박막과 하부전극 및 상부전극의 마치형상 및 공진공간은 상기한 기판에 소정의 두께와 패턴으로 포토레지스트를 도포하고, 도포된 포토레지스트의 측면이 일부 용융되어 완만한 경사면으로 기판과 연결되면서 하부전극과 압전박막 및 상부전극을 형성하는 과정에서 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하고, 순차적으로 희생층 위에 하부전극과 압전박막 및 상부전극을 형성한 다음, 희생층을 제거하여 형성한다.

또 상기한 압전박막과 하부전극 및 상부전극의 마치형상 및 공진공간은 기판에 공진홀을 형성하고, 상기한 공진홀에 포토레지스트를 채운 상태에서, 포토레지스트의 측면이 일부 용융되어 완만한 경사면으로 기판과 연결되면서 하부전극과 압전박막 및 상부전극을 형성하는 과정에서 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하고, 순차적으로 하부전극과 압전박막 및 상부전극을 형성한 다음, 상기한 공진홀에 채워진 희생층의 포토레지스트를 제거하여 형성하는 것도 가능하다.

상기에서 공진홀은 상기한 기판을 식각하여 형성하는 것도 가능하고, 상기한 기판에 소정의 높이로 언덕홀을 형성한 다음 소정의 패턴으로 언덕홀을 식각하여 형성하는 것도 가능하다.

상기한 하부전극의 마치형상 한쪽 모서리는 상기한 기판에 연결되지 않도록 형성하는 것이 바람직하다.

또 상기한 상부전극은 한쪽 모서리가 상기한 기판에 연결되지 않도록, 상기한 압전박막의 위에 형성하는 것이 바람직하다.

본 발명이 제안하는 압전박막 공진기 제조방법은 기판에 소정의 두께와 패턴으로 포토레지스트를 도포하여 희생층을 형성하는 희생층형성공정과, 기판 및 상기한 희생층 위에 소정의 패턴으로 도전재료를 도포하여 하부전극을 형성하는 하부전극형성공정과, 상기한 하부전극과 희생층 및 기판 위에 소정의 패턴으로 압전재료를 도포하여 압전박막을 형성하는 압전박막형성공정과, 상기한 압전박막 위에 소정의 패턴으로 도전재료를 도포하여 상부전극을 형성하는 상부전극형성공정과, 상기한 희생층을 제거하여 공진공간을 형성하는 희생층제거공정으로 이루어진다.

상기한 희생층형성공정은 기판에 소정의 두께와 패턴으로 포토레지스트를 도포하고, 도포된 포토레지스트의 측면이 일부 용융되어 완만한 경사면으로 기판과 연결되면서 상기한 하부전극과 압전박막 및 상부전극을 형성하는 과정에서 포토레지스트가 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하는 과정을 포함한다.

또 본 발명이 제안하는 압전박막 공진기 제조방법은 기판에 공진홀을 형성하는 홀형성공정과, 상기한 홀형성공정에서 형성한 공진홀에 포토레지스트를 도포하여 희생층을 형성하는 희생층형성공정과, 기판 및 상기한 희생층 위에 소정의 패턴으로 도전재료를 도포하여 하부전극을 형성하는 하부전극형성공정과, 상기한 하부전극과 희생층 및 기판 위에 소정의 패턴으로 압전재료를 도포하여 압전박막을 형성하는 압전박막형성공정과, 상기한 압전박막 위에 소정의 패턴으로 도전재료를 도포하여 상부전극을 형성하는 상부전극형성공정과, 상기한 희생층을 제거하여 공진공간을 형성하는 희생층제거공정으로 이루어지는 것도 가능하다.

다음으로 본 발명에 따른 압전박막 공진기 및 그 제조방법에 대하여 도면을 참조하여 상세하게 설명한다.

먼저, 본 발명에 따른 압전박막 공진기의 제1 실시예는 도 1에 나타낸 바와 같이, 기판(2) 위에 형성되고

기판(2)과 소정의 간격으로 공전공간(11)을 두고 형성되는 직전부(32)와 상기한 직전부(32)로부터 기판(2)쪽으로 연장되는 경사부(34)로 이루어지는 마치형상으로 형성되는 압전박막(30)과, 상기한 압전박막(30)과 기판(2) 사이에 형성되고 상기한 압전박막(30)의 형상에 대응하는 마치형상으로 이루어지고 기판(2)과 공전공간(11)을 사이에 두고 위치하는 하부전극(20)과, 상기한 압전박막(30) 위에 형성되고 상기한 압전박막(30)의 형상에 대응하는 마치형상으로 이루어지는 상부전극(40)을 포함한다.

상기에서 기판(2)은 일반적으로 반도체공정 등에서 직접 반도체 소자를 형성하여 집적회로를 구성하는 데 사용하는 실리콘 기판이다.

상기와 같이 이루어지는 압전박막 공전기의 제1실시예를 제조하는 제조방법의 일실시예를 도 2 및 도 4를 참조하여 설명한다.

본 발명에 따른 압전박막 공전기 제조방법의 제1실시예는 도 2 및 도 4에 나타낸 바와 같이, 기판(2)에 소정의 두께와 패턴으로 포토레지스트(15)를 도포하여 회생층(14)을 형성하는 회생층형성공정(P20)과, 기판(2) 및 상기한 회생층(14) 위에 소정의 패턴으로 도전재료를 도포하여 하부전극(20)을 형성하는 하부전극형성공정(P30)과, 상기한 하부전극(20)과 회생층(14) 및 기판(2) 위에 소정의 패턴으로 압전재료를 도포하여 압전박막(30)을 형성하는 압전박막형성공정(P40)과, 상기한 압전박막(30) 위에 소정의 패턴으로 도전재료를 도포하여 상부전극(40)을 형성하는 상부전극형성공정(P50)과, 상기한 회생층(14)을 제거하여 공전공간(11)을 형성하는 회생층제거공정(P60)으로 이루어진다.

상기에서 회생층형성공정(P20), 하부전극형성공정(P30), 압전박막형성공정(P40), 상부전극형성공정(P50)은 각각 일반적으로 사용되는 사진식각(photo etching)공정으로 이루어지는 것이 가능하므로 상세한 설명은 생략한다.

상기한 회생층형성공정은 도 3 및 도 4에 나타낸 바와 같이, 기판(2)에 소정의 두께와 패턴으로 포토레지스트(15)를 도포하고, 도포된 포토레지스트(15)의 측면이 일부 용융되어 완만한 경사면으로 기판(2)과 연결되면서, 상기한 하부전극(20)과 압전박막(30) 및 상부전극(40)을 형성하는 과정에서 포토레지스트(15)가 제거되지 않도록 열처리하는 것에 의하여 회생층(14)을 형성하는 과정(P21~P24)을 포함한다.

즉, 상기한 회생층형성공정(P20)은 기판(2)에 소정의 두께(예를 들면 0.5~1 μ m 정도)로 포토레지스트(15)를 도포하는 포토레지스트도포공정(P21)과, 도포된 포토레지스트(15)에 소정의 패턴을 갖는 마스크(8)와 광원(9)을 이용하여 노광을 행하는 노광공정(P22)과, 노광된 포토레지스트(15)를 식각(etching)하여 설정된 패턴만 남기는 식각공정(P23)과, 소정의 패턴으로 남겨진 포토레지스트(15)에 대하여 열처리를 행하여 기판과 연결되는 측면(도 1 및 도 4에서 보아서 좌우측 모서리면)을 완만한 경사면으로 형성하고 하부전극(20)과 압전박막(30) 및 상부전극(40)을 형성하는 과정에서 포토레지스트를 제거하기 위하여 사용하는 스트리핑(stripping)법에 의해서는 제거되지 않도록 경화시켜 회생층(14)을 형성하는 열처리공정(P24)을 포함한다.

상기한 포토레지스트도포공정(P21)에서는 스핀코팅(spin coating)법을 이용하여 포토레지스트(15)를 도포한다.

상기한 열처리공정(P24)은 대략 200 $^{\circ}$ C 정도로 유지되는 오븐에서 1시간 정도 열처리를 행하는 것으로 이루어지는 것이 가능하며, 포토레지스트의 성분과 다른 공정의 조건에 따라 적당한 조건으로 변경시켜 수행하는 것이 바람직하다.

상기와 같이 열처리를 행하는 것에 의하여 회생층(14)이 완만한 경사면(곡면)으로 모서리가 형성되므로, 이후에 증착되는 하부전극(20)과 상부전극(30)이 급격한 단차로 인하여 중간이 절단되는 현상을 방지하는 것이 가능하다.

즉, 상기한 회생층(14) 위에 증착되는 하부전극(20) 및 압전박막(30)과 상부전극(30)의 마치형상을 이루는 경사부(24), (34), (44)는 회생층(14)의 경사면을 따라 완만한 경사면으로 형성되고, 대략 0.5~1 μ m 정도로 형성되는 회생층(14)의 두께보다 매우 얇은 두께(예를 들면 대략 1200 \AA 정도)로 증착되는 하부전극(20)과 상부전극(30)이 전체적으로 고른 두께로 증착된다.

만약 상기한 회생층(14)의 좌우측면을 경사면으로 형성하지 않는다면, 하부전극(20) 및 상부전극(40)이 증착될 때 회생층(14)이 측면부분에서는 수직방향으로 충분히 증착이 이루어지지 않으므로, 단차가 발생하게 된다.

상기한 하부전극형성공정(P30)은 도 5에 나타낸 바와 같이, 기판(2) 및 회생층(14) 위에 도전재료를 증착하여 하부전극(20)을 형성하고(P31), 하부전극(20) 위에 포토레지스트(21)를 도포하고(P32), 도포된 포토레지스트(21)에 소정의 패턴을 갖는 마스크(8)와 광원(9)을 이용하여 노광을 행하고(P33), 노광된 포토레지스트(21)를 식각(etching)하여 설정된 패턴(하부전극(20)이 형성되는 부분)만 남긴 다음(P34), 하부전극(20)에 있어서 포토레지스트(21)가 식각되어 제거된 부분에 해당하는 부분(불필요한 부분)을 식각하여 제거하고(P35), 남겨진 포토레지스트(21)를 제거(P36)하는 과정으로 이루어진다.

상기에서 하부전극(20)의 불필요한 부분을 식각하여 제거하는 방법은 이방성 식각법인 RIE(Reactive Ion Etching)법이나 선택적 식각용액을 이용한 등방성 식각도 가능하다.

그리고 포토레지스트(21)를 식각하여 제거하는 방법은 포토레지스트(15)가 열처리에 의하여 경화되어 형성된 회생층(14)이 제거되지 않으면서 포토레지스트(21)만을 제거하는 스트리핑(stripping)법을 사용한다.

상기에서 하부전극(20)을 형성하는 도전재료는 음극산화 특성(전동특성)이 좋은 알루미늄 금속을 사용하는 것이 바람직하며, 증착두께는 대략 1200 \AA 정도로 설정한다.

증착방법으로는 증발(evaporator)을 이용하는 것이 하부전극(20)의 스트레스(stress)가 최소화되므로 바람직하다.

또 상기한 하부전극(20)을 형성하는 도전재료로 금(Au)을 사용하면 산화아연(ZnO)을 압전박막(30)으로 증

착할 때 씨앗층 역할을 할 수 있다.

그리고 상기에서 설명된 패턴으로 포토레지스트(21)를 노광한 다음 식각하는 과정에서 도 7에 나타낸 바와 같이, 하부전극(20)의 기판(2)에 형성되는 화로의 리드선(도면에 나타내지 않음)을 연결하기 위한 한 쌍의 패드부(26)를 형성한다.

마찬가지로 상기한 상부전극(40)에는 상기한 하부전극(20)의 패드부(26)와 단락되지 않도록 중앙에 하나의 패드부(46)를 형성한다.

그리고 상기한 압전박막(30)에는 상기한 상부전극(40)의 패드부(46)가 형성되는 패드형성부(36)를 상기한 패드부(46)보다 넓은 면적으로 형성한다.

또 상기한 하부전극(20)은 마치형상 한쪽 모서리(도 1에서 보아서 우측 모서리)가 상기한 기판(2)에 연결되지 않도록 형성하는 것이 전통특성이 우수하므로 바람직하다.

마찬가지로 상기한 상부전극(40)도 마치형상 한쪽 모서리(도 1에서 보아서 우측 모서리)가 상기한 기판(2)에 연결되지 않도록 형성한다.

그리고 상기한 압전박막형성공정(P40) 및 상부전극형성공정(P50)도 상기한 하부전극형성공정(P30)과 마찬가지로 과정으로 이루어지는 것이 가능하므로 상세한 설명은 생략한다.

상기에서 압전박막(30)을 형성하기 위하여 증착하는 압전재료로는 산화아연(ZnO)을 사용하고 스퍼터링(sputtering)법을 사용하여 증착하는 것이 배향성이 우수하고 증착이 용이하며 압전특성이 좋으므로 바람직하다.

상기한 압전박막(30)의 증착두께는 예를 들면 20Hz의 중심주파수로 하는 경우에는 1.1~1.5 μ m 정도로 증착한다.

상기한 압전재료로는 질화알루미늄(AlN)이나 PZT(Platinum, Gold, Iridium and Lead Zirconium Titanate)를 이용하는 것도 가능하다.

상기한 희생층제거공정(P60)에서는 애싱(ashing)법을 이용하여 열처리하여 포토레지스트(15)가 경화된 희생층(14)을 제거한다.

그리고 본 발명에 따른 압전박막 공진기의 제2실시예는 도 6 및 도 7에 나타낸 바와 같이, 기판(2)의 상기한 압전박막(30)과 하부전극(20)의 아래쪽 부분에 공진공간인 공진홀(12)을 형성한다.

상기한 제2실시예에 있어서도 상기한 구성 이외에는 상기한 제1실시예와 마찬가지로 실시하는 것이 가능하므로 상세한 설명은 생략한다.

또 본 발명에 따른 압전박막 공진기의 제3실시예는 도 8에 나타낸 바와 같이, 기판(2)에 공진공간인 공진홀(12)을 형성하는 소정의 간격을 두고 언덕층(50)을 형성하고, 언덕층(50) 위에 순차적으로 하부전극(20)과 압전박막(30) 및 상부전극(40)을 형성한다.

상기한 제3실시예에 있어서도 상기한 구성 이외에는 상기한 제1실시예 또는 제2실시예와 마찬가지로 실시하는 것이 가능하므로 상세한 설명은 생략한다.

다음으로 상기와 같이 구성되는 본 발명에 따른 압전박막 공진기의 제2실시예 및 제3실시예를 제조하는 제조방법에 대하여 설명한다.

먼저 도 9 및 도 12에 나타낸 바와 같이, 본 발명에 따른 압전박막 공진기 제조방법의 제2실시예는 기판(2)에 공진홀(12)을 형성하는 홀형성공정(P10)과, 상기한 홀형성공정(P10)에서 형성한 공진홀(12)에 포토레지스트(15)를 도포하여 희생층(14)을 형성하는 희생층형성공정(P20)과, 기판(2) 및 상기한 희생층(14) 위에 소정의 패턴으로 도전재료를 도포하여 하부전극(20)을 형성하는 하부전극형성공정(P30)과, 상기한 하부전극(20)과 희생층(14) 및 기판(2) 위에 소정의 패턴으로 압전재료를 도포하여 압전박막(30)을 형성하는 압전박막형성공정(P40)과, 상기한 압전박막(30) 위에 소정의 패턴으로 도전재료를 도포하여 상부전극(40)을 형성하는 상부전극형성공정(P50)과, 상기한 희생층(14)을 제거하여 공진홀(12)을 노출시키는 것에 의하여 공진공간을 형성하는 희생층제거공정(P60)으로 이루어진다.

상기한 홀형성공정(P10)은 도 10 및 도 12에 나타낸 바와 같이, 기판(2)에 포토레지스트(16)를 도포하는 포토레지스트도포공정(P12)과, 도포된 포토레지스트(16)에 소정의 패턴을 갖는 마스크(8)와 광원(9)을 이용하여 노광을 행하는 노광공정(P13)과, 노광된 포토레지스트(16)를 식각(etching)하여 설정된 패턴으로 제거(P14)한 다음 포토레지스트(16)가 제거된 부분의 기판(2)을 소정의 깊이로 식각하여 제거하는 것에 의하여 공진홀(12)을 형성하는 식각공정(P15)과, 남겨진 포토레지스트(16)를 제거하는 포토레지스트제거공정(P16)으로 이루어진다.

상기에서 공진홀(12)의 깊이(기판(2)의 식각되는 깊이)는 대략 2~3 μ m 정도로 설정하는 것이 희생층제거공정(P60)에서 희생층(14)을 제거할 때 하부전극(20)의 단락이나 손상이 발생하지 않으므로 바람직하다.

즉, 상기한 공진홀(12)을 너무 깊게 형성하면 상기한 희생층제거공정(P60)에서 제거해야 하는 희생층(14)이 많아서 장시간 애싱(ashing)을 행하므로 하부전극(20)이 손상을 입을 우려가 높고 상기한 공진홀(12)을 너무 얕게 형성하면 기판(2)과의 간격이 좁으므로 애싱이 어려우며 처짐에 의하여 하부전극(20)의 일부가 기판(2)에 접촉하므로 공진특성이 저하될 우려가 있다.

상기한 희생층형성공정(P20)은 도 13에 나타낸 바와 같이, 기판(2)에 공진홀(12)을 채우도록 소정의 두께(예를 들면 기판(2)의 표면에서 1 μ m 이하의 두께 및 공진홀(12)보다 미세하게 높은 두께)로 포토레지스트(15)를 도포하고(P21), 도포된 포토레지스트(15)에 소정의 패턴을 갖는 마스크(8)와 광원(9)을 이용하여 노광을 행하고(P22), 노광된 포토레지스트(15)를 식각(etching)하여 설정된 패턴만 남기고(P23), 소정의 패턴으로 남겨진 포토레지스트(15)에 대하여 열처리를 행하여 기판(2)과 연결되는 측면(도 13에서 보아서

좌우측 모서리면)을 완전한 경사면으로 형성하고, 하부전극(20)과 압전박막(30) 및 상부전극(40)을 형성하는 과정에서, 포토레지스트를 제거하기 위하여 사용하는 스트리핑(striping)법에 의해서는 제거되지 않도록 희생층(14)을 형성(P24)하는 과정으로 이루어진다.

상기에서 열처리를 행하면, 공진홀(12)보다 약간 노출된 부분의 측면(도 13에서 보아서 좌우측 모서리면)이 용융되면서, 기판(2)위로 완전한 경사면(곡면)으로 형성된다.

상기한 본 발명에 따른 압전박막 공진기 제조방법의 제2실시예에 있어서도 상기한 공정 이외에는 상기한 제1실시예와 마찬가지로, 공정과 방법으로 실시하는 것이 가능하므로 상세한 설명은 생략한다.

그리고 본 발명에 따른 압전박막 공진기 제조방법의 제 3실시예는 도 11 및 도 14에 나타난 바와 같이, 상기한 용형성공정(P10)이 기판(2)에 언덕홀(50)을 도포하는 언덕홀도포공정(P11)과, 상기한 언덕홀(50) 위에 포토레지스트(16)를 도포하는 포토레지스트도포공정(P12)과, 도포된 포토레지스트(16)에 소정의 패턴을 갖는 마스크(8)와 광원(9)을 이용하여 노광을 행하는 노광과정(P13)과, 노광된 포토레지스트(16)를 식각(etching)하여 설정된 패턴으로 제거(P14)한 다음, 포토레지스트(16)가 제거된 부분의 언덕홀(50)을 소정의 깊이로 식각하여 제거하는 것에 의하여 공진홀(12)을 형성하는 식각공정(P15)과, 남겨진 포토레지스트(16)를 제거하는 포토레지스트제거공정(P16)으로 이루어진다.

상기한 언덕홀(50)은 이산화규소(SiO₂)를 도포하는 것으로 이루어진다.

상기와 같이, 제3실시예에 있어서도 언덕홀(50)을 형성하고 식각하여 공진홀(12)을 형성하는 공정 이외에는 상기한 제2실시예에 마찬가지로, 공정으로 실시하는 것이 가능하므로 상세한 설명은 생략한다.

상기에서는 본 발명에 따른 압전박막 공진기 및 그 제조방법의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러가지로 변형하여 실시하는 것이 가능하고, 이 또한 본 발명의 범위에 속한다.

발명의 효과

상기와 같이 이루어지는 본 발명에 따른 압전박막 공진기에 의하면, 기판과 공진공간(공진홀)을 사이에 두고 형성되므로, 우수한 공진특성을 나타낸다.

또 본 발명에 따른 압전박막 공진기 제조방법에 의하면, 기판의 재질보다 식각이 매우 용이한 재료인 포토레지스트를 사용하여 희생층을 형성하고, 하부전극과 압전박막 및 상부전극을 형성한 다음 희생층을 제거하여 공진공간(공진홀)을 형성하므로, 하부전극이 공진공간 형성과정에서 손상을 입거나 단락되는 일이 발생하지 않는다.

그리고 본 발명에 따른 압전박막 공진기 제조방법에 의하면, 희생층을 열처리하여 기판과 연결되는 양측면을 완전한 경사면으로 형성하므로, 하부전극 및 상부전극을 증착할 때에 단차로 인한 미증착부분(단락)이 발생하지 않고, 전체적으로 고른 두께로 증착이 이루어지고, 불량을 저하되고 생산수율이 향상된다.

또 본 발명에 따른 압전박막 공진기 제조방법에 의하면, 반도체 소자 등이 회로를 구성하여 형성되는 기판위에 직접 공진기를 회로의 일부로 형성하는 것이 가능하므로, 일체형 마이크로 집적회로(MMIC)에 압전박막 공진기를 적용하는 것이 가능하다.

(57) 청구의 범위

청구항 1

기판 위에 형성되고 기판과 소정의 간격으로 공진공간을 두고 형성되는 직선부와 상기한 직선부로부터 기판쪽으로 연장되는 경사부로 이루어지는 아치형상으로 형성되는 압전박막과,

상기한 압전박막과 기판 사이에 형성되고 상기한 압전박막의 형상에 대응하는 아치형상으로 이루어지고 기판과 공진공간을 사이에 두고 위치하는 하부전극과,

상기한 압전박막 위에 형성되고 상기한 압전박막의 형상에 대응하는 아치형상으로 이루어지는 상부전극을 포함하는 압전박막 공진기.

청구항 2

제1항에 있어서, 상기한 압전박막과 하부전극 및 상부전극의 아치형상 및 공진공간은 상기한 기판에 소정의 두께와 패턴으로 포토레지스트를 도포하고,

도포된 포토레지스트의 측면이 일부 용융되어 완전한 경사면으로 기판과 연결되면서 하부전극과 압전박막 및 상부전극을 형성하는 과정에서 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하고,

순차적으로 희생층 위에 하부전극과 압전박막 및 상부전극을 형성한 다음,

희생층을 제거하여 형성하는 압전박막 공진기.

청구항 3

제1항에 있어서, 상기한 압전박막과 하부전극 및 상부전극의 아치형상 및 공진공간은 기판에 공진홀을 형성하고,

상기한 공진홀에 포토레지스트를 채운 상태에서 포토레지스트의 측면이 일부 용융되어 완전한 경사면으로 기판과 연결되면서 하부전극과 압전박막 및 상부전극을 형성하는 과정에서 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하고,

순차적으로 하부전극과 압전박막 및 상부전극을 형성한 다음,

상기한 공진홀에 채워진 희생층을 제거하여 형성하는 압전박막 공진기.

청구항 4.

제3항에 있어서, 상기한 공진홀은 상기한 기판을 식각하여 형성하거나, 상기한 기판에 소정의 높이로 언덕홀을 형성한 다음 소정의 패턴으로 언덕홀을 식각하여 형성하는 압전박막 공진기.

청구항 5.

제1항에 있어서, 상기한 하부전극 및 상부전극의 미치형상 한쪽 모서리는 상기한 기판에 연결되지 않도록 형성하는 압전박막 공진기.

청구항 6.

기판에 소정의 두께와 패턴으로 포토레지스트를 도포하여 희생층을 형성하는 희생층형성공정과,

기판 및 상기한 희생층 위에 소정의 패턴으로 도전재료를 도포하여 하부전극을 형성하는 하부전극형성공정과,

상기한 하부전극과 희생층 및 기판 위에 소정의 패턴으로 압전재료를 도포하여 압전박막을 형성하는 압전박막형성공정과,

상기한 압전박막 위에 소정의 패턴으로 도전재료를 도포하여 상부전극을 형성하는 상부전극형성공정과,

상기한 희생층을 제거하여 공진공간을 형성하는 희생층제거공정으로 이루어지는 압전박막 공진기 제조방법.

청구항 7.

제6항에 있어서, 상기한 희생층형성공정은 기판에 소정의 두께와 패턴으로 포토레지스트를 도포하고, 도포된 포토레지스트의 측면이 일부 용융되어 완만한 경사면으로 기판과 연결되면서 상기한 하부전극과 압전박막 및 상부전극을 형성하는 공정에서 포토레지스트가 제거되지 않도록 열처리하는 것에 의하여 희생층을 형성하는 과정을 포함하는 압전박막 공진기 제조방법.

청구항 8.

기판에 공진홀을 형성하는 홀형성공정과,

상기한 홀형성공정에서 형성한 공진홀에 포토레지스트를 도포하여 희생층을 형성하는 희생층형성공정과,

기판 및 상기한 희생층 위에 소정의 패턴으로 도전재료를 도포하여 하부전극을 형성하는 하부전극형성공정과,

상기한 하부전극과 희생층 및 기판 위에 소정의 패턴으로 압전재료를 도포하여 압전박막을 형성하는 압전박막형성공정과,

상기한 압전박막 위에 소정의 패턴으로 도전재료를 도포하여 상부전극을 형성하는 상부전극형성공정과,

상기한 희생층을 제거하여 공진홀을 노출시키는 것에 의하여 공진공간을 형성하는 희생층제거공정으로 이루어지는 압전박막 공진기 제조방법.

청구항 9.

제8항에 있어서, 상기한 홀형성공정은 기판에 포토레지스트를 도포하는 포토레지스트도포공정과,

도포된 포토레지스트에 소정의 패턴을 갖는 마스크와 광원을 이용하여 노광을 행하는 노광공정과,

노광된 포토레지스트를 식각하여 설정된 패턴으로 제거한 다음 포토레지스트가 제거된 부분의 기판을 소정의 깊이로 식각하여 제거하는 것에 의하여 공진홀을 형성하는 식각공정과,

남겨진 포토레지스트를 제거하는 포토레지스트제거공정으로 이루어지는 압전박막 공진기 제조방법.

청구항 10.

제8항에 있어서, 상기한 홀형성공정이 기판에 언덕홀을 도포하는 언덕홀도포공정과,

상기한 언덕홀 위에 포토레지스트를 도포하는 포토레지스트도포공정과,

도포된 포토레지스트에 소정의 패턴을 갖는 마스크와 광원을 이용하여 노광을 행하는 노광공정과,

노광된 포토레지스트를 식각하여 설정된 패턴으로 제거한 다음 포토레지스트가 제거된 부분의 언덕홀을 소정의 깊이로 식각하여 제거하는 것에 의하여 공진홀을 형성하는 식각공정과,

남겨진 포토레지스트를 제거하는 포토레지스트제거공정으로 이루어지는 압전박막 공진기 제조방법.

청구항 11.

제8항에 있어서, 상기한 공진홀은 깊이가 2~3 μ m로 설정되어 형성하는 압전박막 공진기 제조방법.

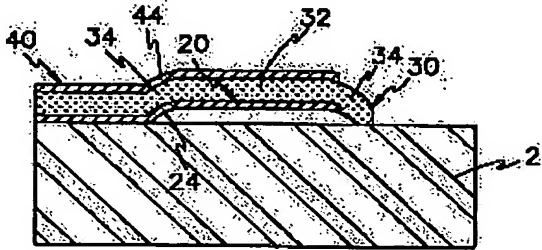
청구항 12.

제8항에 있어서, 상기한 희생층형성공정은 기판에 공진홀을 채우도록 소정의 두께와 패턴으로 포토레지스트

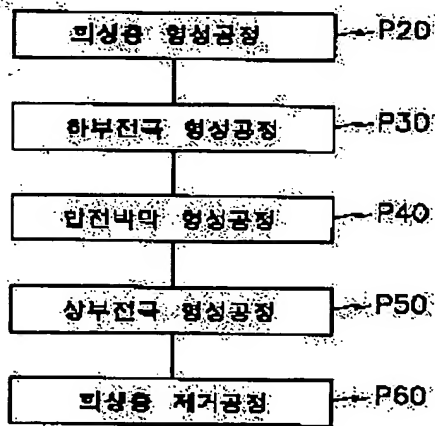
트를 도포하고, 도포된 포토레지스트에 대하여 열처리를 행하여 기판과 연결되는 측면을 완만한 경사면으로 형성하고, 하부전극과 압전박막 및 상부전극을 형성하는 공정에서 제거되지 않도록 경화시켜 희생층을 형성하는 과정으로 이루어지는 압전박막 공정기 제조방법.

도면

도면1



도면2



도면3

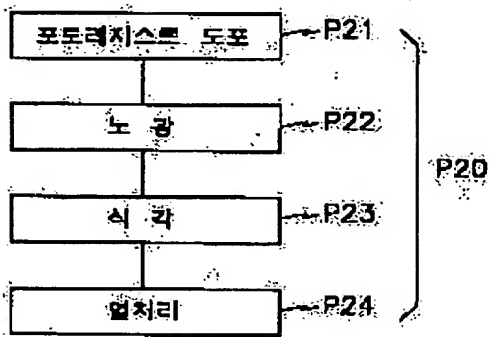


FIG. 1

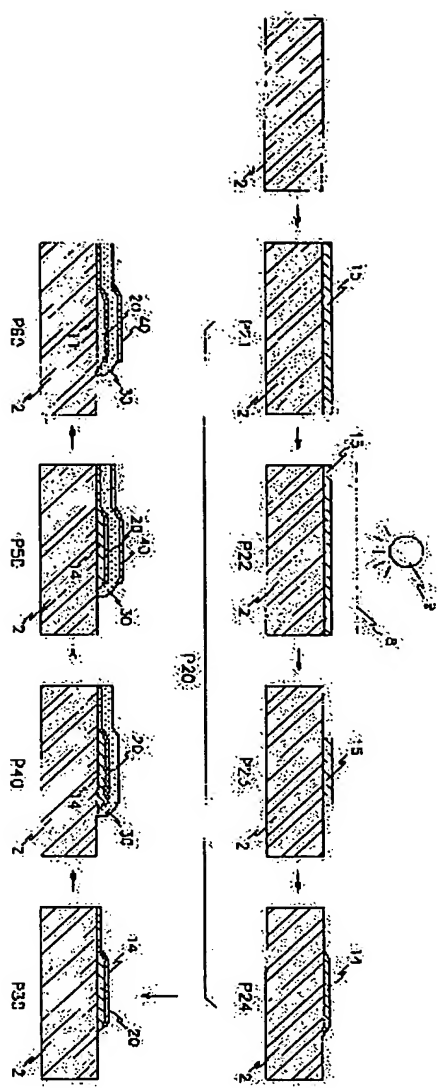


FIG 5

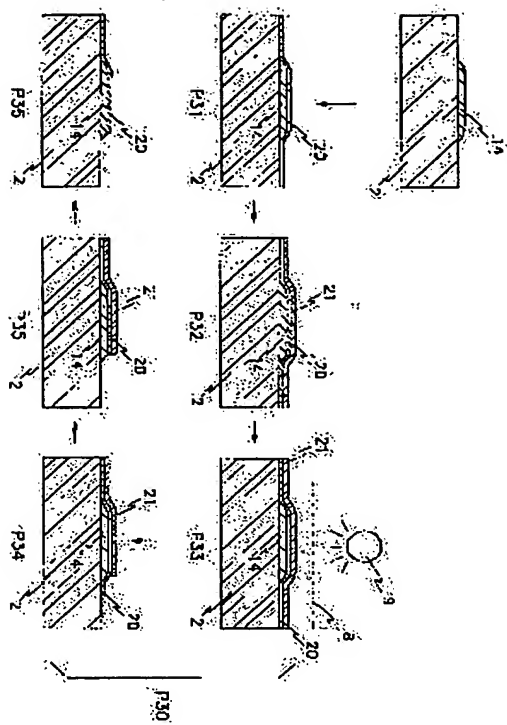
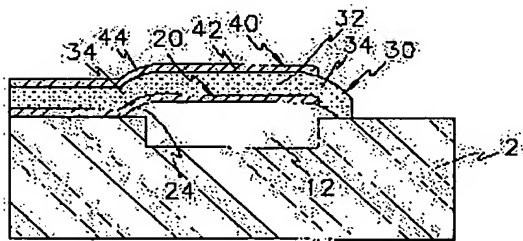
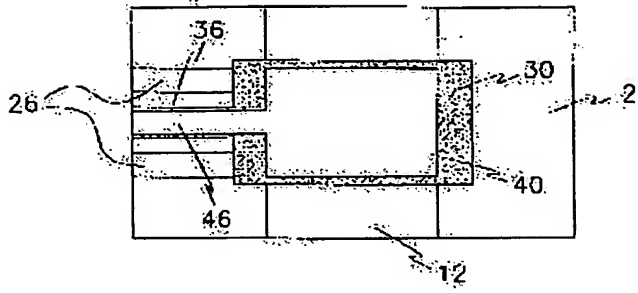


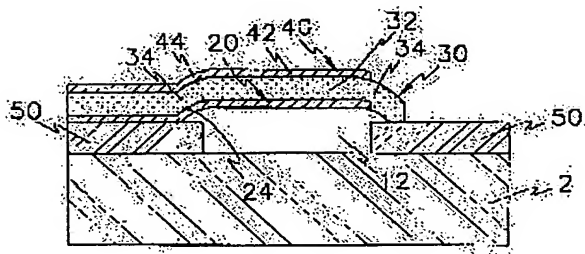
FIG 6



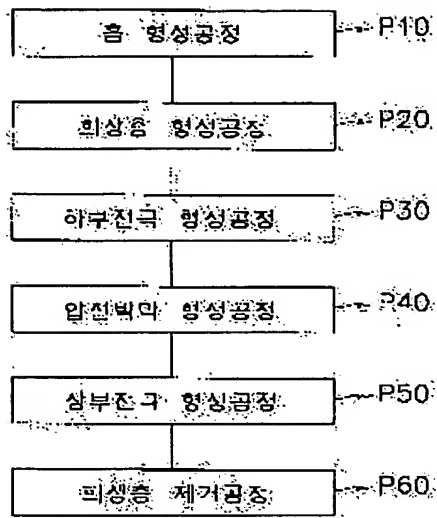
도 17



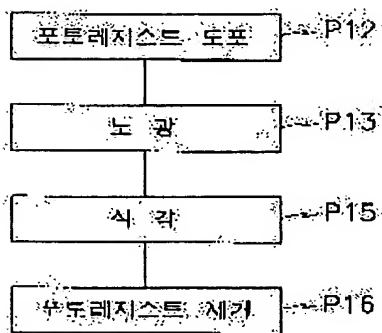
도 18



도면9



도면10



도면 11

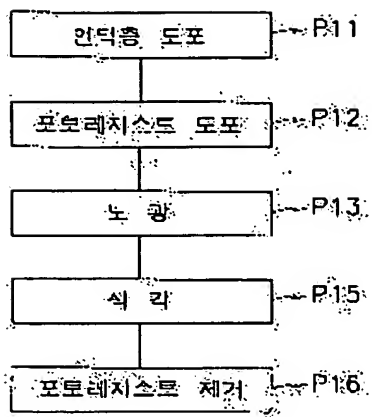
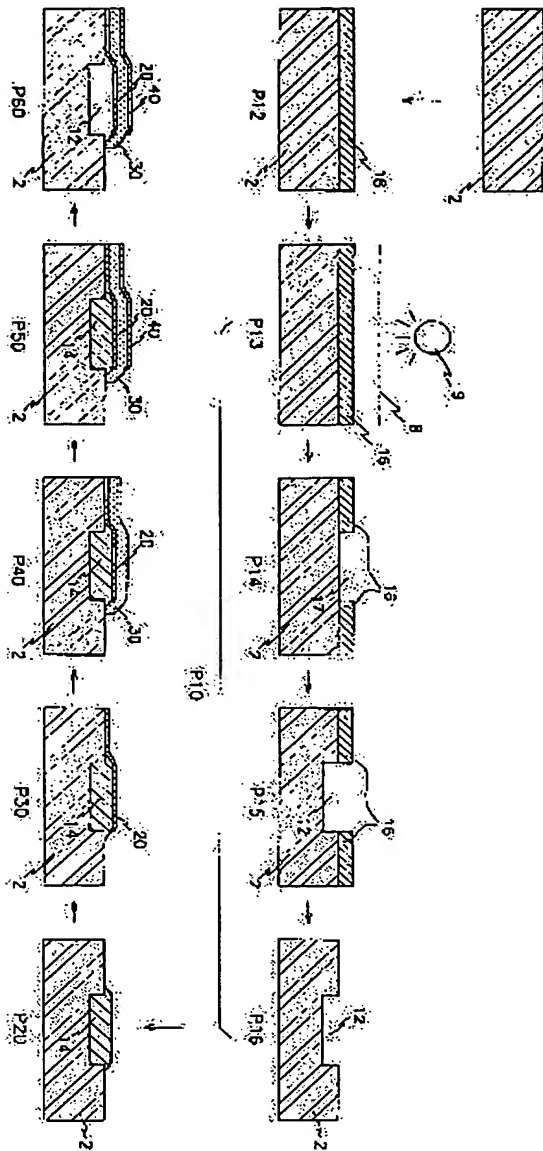
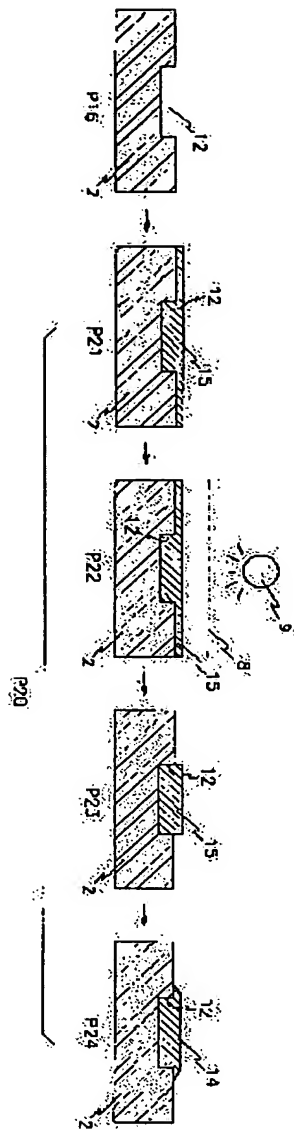


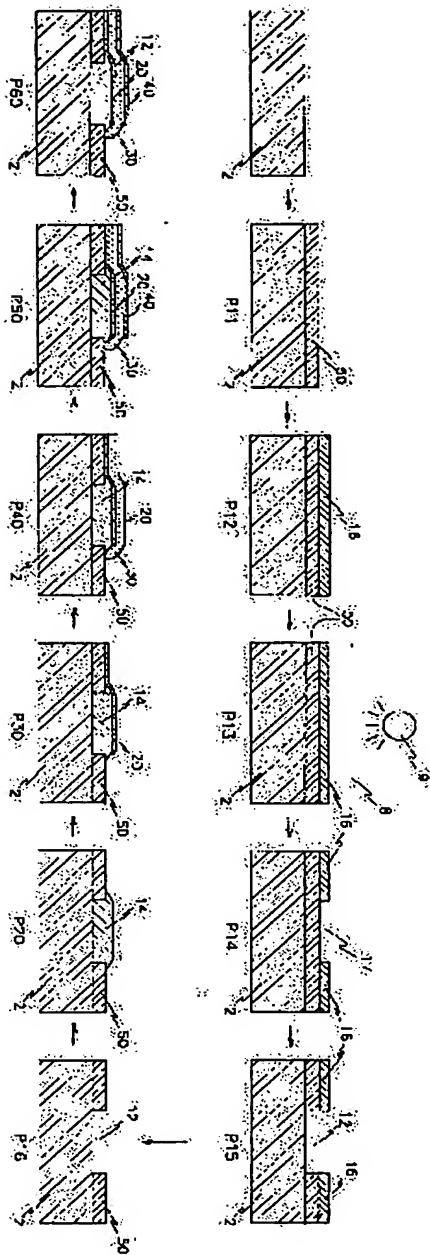
FIG. 12



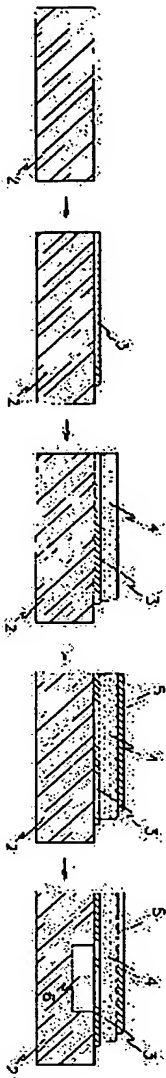
도면 13



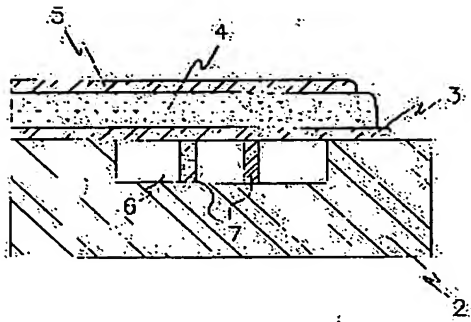
도면



도 15



도면 18



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ ~~COLOR OR BLACK AND WHITE PHOTOGRAPHS~~
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.